

# 一个应用于探测生理信号 SoC 中的 CMOS 全集成高线性度低噪声上变频器设计

梁 元, 张 弘

(西安电子科技大学微电子学院宽禁带半导体材料与器件教育部重点实验室, 陕西西安 710071)

**摘 要:** 本文设计一款用于探测生理信号 SoC 芯片中的 5GHz 双边带上变频器. 该混频器基于传统的吉尔伯特单元, 采用交流耦合 current-bleeding 结构以及三阶非线性失真抵消技术抑制非线性. 通过将跨导级晶体管偏置在不同的工作区域(transconductance-boost 结构), 使得带内变频损失小于 5dB 而 IIP3 介于 22.3dBm 到 39.8dBm, 而且双边带噪声指数小于 8.2dB. 应用全差分结构和感性源极钝化, 再次抑制了二阶以及三阶失真. 全部上变频器在 1.2V 供电条件下总功耗为 8.4mW.

**关键词:** 雷达感应芯片; 上变频混频器; 非线性失真; 线性化技术

**中图分类号:** TN402      **文献标识码:** A      **文章编号:** 0372-2112 (2013)04-0821-07

**电子学报 URL:** <http://www.ejournal.org.cn>      **DOI:** 10.3969/j.issn.0372-2112.2013.04.033

## Design of a CMOS Fully Integrated Highly Linear Low Noise Up-Converted Mixer for Physiological Signal Detection in Deep Sub-Micron CMOS

LIANG Yuan, ZHANG Hong

(Key Laboratory of Wide Band-gap Semiconductor Materials and Devices of Ministry of Education, School of Microelectronics, Xidian University, Xi'an, Shaanxi 710071, China)

**Abstract:** This paper describes a 5GHz double sideband up-converted mixer design in a SoC-based sensor chip for physiological signal detection. Characterized by conventional Gilbert core, the proposed topology introduced current-bleeding and third-order distortion cancellation to relax nonlinearity. By biasing the transconductance stages into heterogeneous operation region the conversion loss was better than 5dB and the mixer obtained in-band(4.5GHz-5.5GHz) IIP3 ranged from 22.3dBm to 39.8dBm, and the noise figure is less than 8.2dB. Differential implementation and inductive source degeneration are adopted, by which the second and the third harmonics are further suppressed, given that the mixer merely consumes 8.4mW from 1.2V supply.

**Key words:** radar sensor chip; up-converted mixer; distortions; linearization

### 1 介绍

最近,用于非接触生理信号探测的全集成感应芯片引起了学术界和工业界的广泛关注.与采用分立设备来实现远距离重要信号的采集和跟踪的传统方法不同,基于 SoC 的感应芯片展现出了许多在实用性和可靠性上的优势.然而,仍然有许多设计挑战困扰着该芯片,使其不那么容易实现.首先,与 SiGe 工艺和 BiCMOS 工艺相比,尽管有更高的集成度和与数字电路更好的兼容性,深亚微米 CMOS 工艺在更高频领域(通常大于 60GHz)显得竞争力不足,归因于其内在的特征频率的不足<sup>[1]</sup>.一些报告了深亚微米 CMOS 工艺的专题论文试图提供突破性的方案来解决上述问题<sup>[2-3]</sup>,但是不成熟的仿真环

境及饱受争议的 MOS 模型不利于这样的“数字化”芯片成功生产.其次,基于微波多普勒雷达调相的远程测试对呼吸信号,以及呼吸信号和心脏跳动信号的交调非常敏感,这些交调信号还可能与侦测心脏跳动速率的信号互调,并且交调随着频率的升高而不断恶化,因此精度再度遭到恶化<sup>[4,5]</sup>.在过去十年间,工作在几 GHz 频段内的感应芯片也得到了类似的研究<sup>[6,7]</sup>.研究表明高频段双边带传输可以有效地避免零探测点,而不必使用正交探测.另外,差分结构有利于抑制本地振荡泄露.

图 1 展示了完整的 5GHz 雷达芯片结构及每个模块对应的指标.为了能侦测人体微弱信号,其发射端由功放发射的载波调制人体生理信号.人体的周期性生理信号以调相的方式调制载波.该收发芯片拥有两个压控

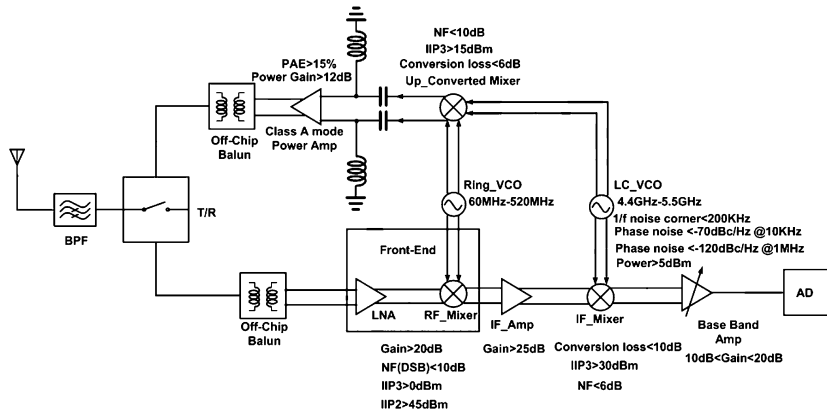


图1 5GHz雷达芯片的框架构图

振荡器(VCOs)作为本地(片内)信号源,以及一个吉尔伯特单元双平衡混频器作为上变频单元.接收端由一个低噪声放大器和一个吉尔伯特双平衡混频器作为下变频单元.下变频通路还包括一个中频放,和第二级无源下变频混频器.不像下变频通路为了提高敏感度而注重高增益和低噪声(因为接收到的信号较为微弱),发射通路需要很高的线性度<sup>[8]</sup>.另外,还必须获得较低的噪声指数而保证不会钝化上变频支路.跟着上变频单元的模块是A类(class A)功率放大器,其将上变频器的输出功率提升到更高的水平.源于上变频的交调失真信号将会“穿过”功率放大器,通过开关而又会泄露回接收通路,从而钝化接受能力.一种抑制泄露的方案是在版图上增大开关源漏面积,从而增大源漏端金属线间距离,但这种方案会制约开关的插入损失和功率使用容量.因此,本设计主要把线性化工作放在上变频器上.非线性机制可以主要归咎于两个方面.一个源于上变频过程,而另一个源于VCO震荡泄露.在设计该上变频模块之前,首先设计了带反相器缓冲的LC压控振荡器并进行仿真,发现其隔离度仅略大于40dB,而二次谐波分量为-19dBm.另一方面,根据文献[9-10]对变频失真的描述,  $IIP3 > 10\text{dBm}$  对于  $L/Q$  直接下变频结构的收发系统来说是至关重要的<sup>[4-5,7]</sup>.然而,在所设计的收发芯片中,以提高  $IIP3$  而牺牲增益没有太大的意义,因为后级的功率放大器对上变频器的输出功率非常敏感.该芯片采用了A型功率放大器而不是F型功率放大器,是因为考虑到差分结构以及有效的功率传输.A型功率放大器的本质是通过消耗大量直流能量来提供放大.然而由于所使用的低Q电感而引入附加的损耗的缘故,即便使用了诸如级联结构<sup>[11]</sup>或者A型和B型联合结构<sup>[12]</sup>,当输入功率小于-10dBm时,功率附加效率(PAE)就很难超过10%.因此,应当规划该上变频单元的  $IIP3 > 15\text{dBm}$  且变频损耗小于6dB并考虑PVT特性.仿真结果表明这样的指标是可以实现的.

## 2 上变频器设计理论

图2给出了所设计的上变频单元以及相关参数.与其他吉尔伯特单元类似,该上变频器采用双平衡结构来消除上变频的直流信号以及偶次谐波分量,克服失真及直流电压漂移(DC-offset).除了尾电流源和其他偏置电路外,为了有效隔离衬底噪声,所有的有源器件都使用射频晶体管,并且沟道长度都选用了工艺所允许的最小值.图2中  $M_1-M_4$  构成了  $g_m$ -boosted 结构.晶体管  $M_{1,2}$  作为主要的跨导级而  $M_{3,4}$  作为附加跨导级来构成非线性失真消除网络.  $M_5-M_8$  是开关阵列,它们都拥有大量的叉指来分割栅宽.为了使它们更像理想的开关,工作点设在在接近线性区的饱和区.它们的直流电流密度应当接近文献[14]给出的实验结果,从而有效抑制DC-offset.另外,对应的偏置必须保证跨导级的漏-源电压落在规定的范围内,下文给出这个范围.与宽带低噪声放大器设计不同,尖峰电感  $L_{g1,2}$  和  $L_{D1,2}$  都选择工作在高Q区域,这是为了降低损耗.对于窄带运用而言,这种要求不难实现.增益的增加受益于尖峰电感,

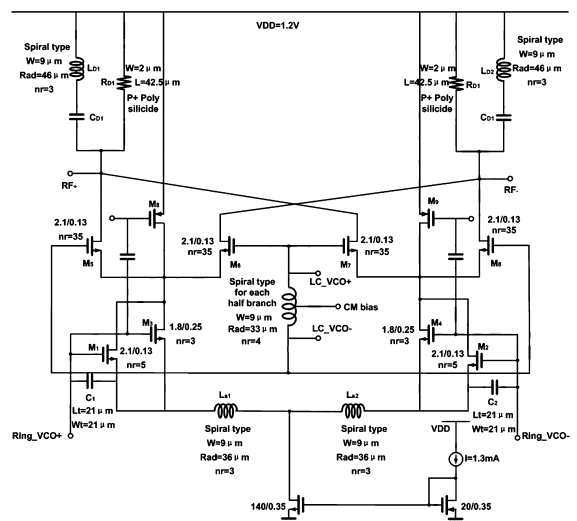
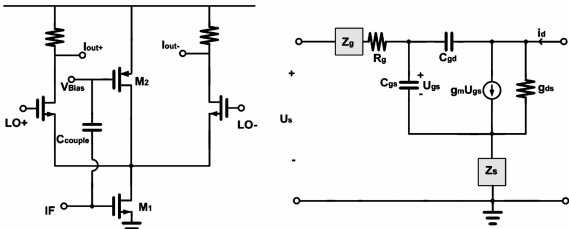


图2 所设计的上变频器的电路图

因为它们补偿了寄生的节点电容,另外,尖峰电感起到选频作用,有利于衰减带外强信号干扰。 $L_{g1,2}$ 为对称结构,并且拥有共模中心抽头(Center-tapped).这种配置有助于混频单元偶次谐波的抑制<sup>[3]</sup>.考虑到衬底隔离和温度稳定性,以及很低的闪烁噪声的性质,采用  $P+$  多晶硅电阻作为负载.由文献[10],附加的栅源电容  $C_{1,2}$  以及  $L_{s1,2}$ 改善了 IIP3.  $L_{s1,2}$ 同样为高  $Q$  螺旋电感,其拥有高阻性衬底.通过减少该电感的直流损耗,跨导级共模点将有更高的电压裕度而可以使得尾电流源线性地工作.选用硅基衬底金属-绝缘体-金属(MIM)电容,因为其拥有更小的面积消耗和更好的击穿特性.所有电感的宽度选择为  $9\mu\text{m}$ ,则 5GHz 附近拥有更高的  $Q$  值 ( $>10$ ).尾电流源拥有较长的沟道长度和较宽的宽度,从而抑制闪烁噪声泄露和闪烁噪声的上变频.闪烁噪声会泄露到 VCO 模块并转换成相位噪声,并且影响拐角频率<sup>[15,16]</sup>. PMOS 器件  $M_{8,9}$  共同构成 current-bleeding 结构.如果将环形 VCO 的输出与  $M_{8,9}$  的栅极交流耦合,则 IIP3 将再度得到优化.这种假设可以由图 3(a) 得到验证:该混频器的输出电流为



(a) current bleeding技术的电路图 (b) 用于分析单个晶体管线性优化的电路图

图3

$$i_{\text{out}} = i_{\text{out}+} - i_{\text{out}-} = \frac{4(I_{D1} - I_{D2}) + (\beta_{n1} - \beta_{p2})V_{IF}^2}{\pi} \cdot \cos(\omega_{LO}t) + \frac{2(g_{m1} + g_{m2})V_{IF}}{\pi} \cos(\omega_{LO} \pm \omega_{IF})t + \text{更高次项} \quad (1)$$

式中  $g_{m1}$  和  $g_{m2}$  分别为图 3(a)  $M_1, M_2$  的跨导,  $\beta_{n1}, \beta_{p2}$  正比于  $K(W/L)$  是并且与工艺参数相关.  $V_{IF}$  为所输入 IF 信号的幅值,  $\omega_{LO}, \omega_{IF}$  分别为 LC-VCO 和 Ring-VCO 的工作频率. 对式(1)作如下两个观察:

(1) 当下式成立时,混频器输出端将没有 LC-VCO 的信号

$$4(I_{D1} - I_{D2}) + (\beta_{n1} - \beta_{p2})V_{IF}^2 = 0 \quad (2)$$

同时这也实现了完全的 LO 隔离

(2) 如果指定下式成立,式(2)将变得更具有可靠性

$$I_{D1} - I_{D2} = 0, \beta_{n1} - \beta_{p2} \quad (3)$$

其中  $I_{D1,2}$  为可控的偏置电流.在这种情况下开关阵列就像无源混频器那样工作.在有源模式下,通常有  $I_{D1} > I_{D2}$ ,但是 LC-VCO 的信号仍然能部分消除.这种策略补

偿了因为生产环节产生的不对称而导致的平衡问题.

有趣的是, current bleeding 技术遭到文献[17]的驳斥.其指出因此而增加的功耗和噪声是不值得的.这种说法对噪声敏感的下变频领域始终是对的.然而对于上变频,10dB 的双边带噪声指数不会带来太多麻烦,反之,线性度必须得到仔细考虑,并将在下文重点阐述线性化技术.

## 2.1 源极感性退化以及源漏偏置

图 3(b) 给出了单个跨导级晶体管 ( $M_{1,2}$ ) 的非线性模型及线性化配置,其中考虑了反馈电容  $C_{gd}$  的影响.随着特征尺寸的不断减小  $C_{gd}$  反馈作用也显著增强,其对线性度的影响也在加深.  $Z_g$  和  $Z_s$  分别表示用于线性化的栅,源阻抗.源电阻和等效栅射频寄生电阻已经纳入  $R_g$ . 输出电流的 Volterra 级数展开式为

$$I_d = A_1^\circ(s) V_s + A_2^\circ(s_1, s_2) V_s^2 + A_3^\circ(s_1, s_2, s_3) V_s^3 + \dots \quad (4)$$

式中  $A_1(s), A_2(s_1, s_2), A_3(s_1, s_2, s_3)$  为前三个 Volterra 序列的系数.

假定施加一个双音输入  $v_s = M\cos(\omega_1 t) + M\cos(\omega_2 t)$ , 输出端所呈现的频率位于  $2\omega_2 - \omega_1$  或  $2\omega_1 - \omega_2$  的分量将决定输入参考的三阶交调量,可以得到  $|IM_3|$  的幅值取决于

$$|1 + j\omega C_{gs}[Z_s(\omega_1, L_s)] + Z_g(\omega_1, L_s)| \quad (5)$$

以及

$$|T_3 - 2T_2\rho(\omega_1, \Delta\omega, L_s)| M^2 \quad (6)$$

对于式(5)和(6),作如下两个观察.首先,注意到当  $T_3 - 2T_2\rho(\omega_1, \Delta\omega, L_s) \rightarrow 0$  (括号中为  $\Delta\omega$ ) 时,  $IM_3 \rightarrow 0$ , 并且可以算出

$$T_2 = \frac{W\nu_{sat}C_{ox}V_T + W\nu_{sat}C_{ox}V_T \frac{-V_T + 2\epsilon_{sat}L}{(-V_T + \epsilon_{sat}L)^2}}{-V_T + \epsilon_{sat}L} \quad (7)$$

$$T_3 = -W\nu_{sat}C_{ox}\epsilon_{sat}^2 \frac{L^2}{(-V_T + \epsilon_{sat}L)^4} \quad (8)$$

其中  $\nu_{sat}$  为沟道载流子饱和速度,  $C_{ox}$  为每单位面积栅氧化层电容,  $\epsilon_{sat}$  为速度饱和时的垂直电场强.正如所观测到的,当下两式成立时,  $IM_3$  将趋于 0

$$\epsilon_{sat}L - V_T < 0 \quad (9)$$

$$1 - \frac{V_T - 2\epsilon_{sat}L}{(-V_T + \epsilon_{sat}L)^2} > 0 \quad (10)$$

对于 0.13 $\mu\text{m}$  工艺,  $V_T = 0.4\text{V}$  是一个足够精确的假设(不考虑背栅效应时).于是联立式(9)-(10),可以得出漏源电压的数值范围

$$0.18\text{V} < \epsilon_{sat}L = V_{DS} < 0.4\text{V} \quad (11)$$

在本设计中,偏置  $M_{1,2}$  来保证尾电流源线性工作.最后

得到

$$0.38 V < V_{DS} < 0.6 V \quad (12)$$

这与深亚微米设计规则相符. 其次, 由式 (5), 感性的源极反馈将使得  $j\omega C_{gs} [Z_s(\omega_1, L_s)]$  成为一个负的实数从而部分抵消“1”项. 并且, 增大  $C_{gs}$  也同样带来类似的好处. 但容易被忽略的是, 正如文献[15]所阐述的, 在理想的开关条件下 (无限大的斜率), 输出端的基带闪烁噪声可以由下式表示

$$i_{0,n} = \frac{2}{T} \cdot C_p \cdot U_n \cdot \frac{(C_p \omega_{LO})^2}{(g_{ms})^2 + (C_p \omega_{LO})^2} \quad (16)$$

其中  $g_{ms}$  为开关对的跨导.  $C_p$  包括了  $C_{gs}$ , 是共模点的寄生电容值. 对于一个给定的  $L_s$  和工作频率, 仅仅当  $L_s$  补偿  $C_p$  时  $i_{0,n}$  才能得到抵消. 这与采用源极感性退化的低噪放设计不同. 另外, 大面积的  $C_{gs}$  将耦合更多的衬底噪声并拥有更差的击穿特性. 更差的击穿特性意味着当滤波效果不好时, 临近频带的大信号将击穿电容, 导致更多的 RF 信号泄露. IIP3 及双边带噪声指数与该附加电容尺寸 ( $L = W$ ) 的关系由图 4 给出. 显然,  $21 \mu\text{m} \times 21 \mu\text{m}$  的附加电容应该用于本次设计当中.

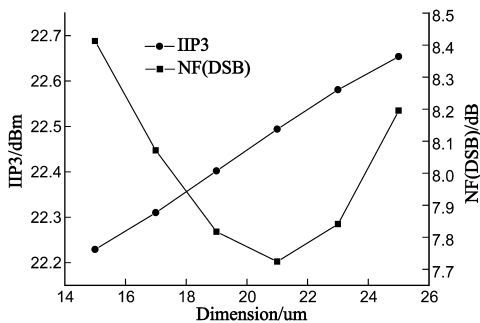


图4 IIP3 和 NF (DSB)与栅源电容尺寸的关系曲线

## 2.2 $g_m$ -boosted 结构

$g_m$ -boosted 技术已经在过去的低噪声放大器设计中得到研究并实际运用, 特别是在一些对接收前端的线性度要求很高的诸如蓝牙 (Bluetooth) 以及正交频分复用 (OFDM) 系统<sup>[13]</sup>. 然而, 相关的专题论文并没有讨论每个晶体管的具体尺寸, 而只是讨论了它们的工作区域. 从文献[19,20]中得到, 三阶跨导  $g_{m3}$  与偏置 (包括  $V_{gs}$  和  $V_{ds}$ , 其中后者在前方讨论过) 以及工作区域有关, 并且文献[20]采用了负衬底电位来产生负的  $g_{m3}$ . 现在从三个方面来看待这个问题. 首先, 负电压偏置需要单独的片上电压基准单元, 或者在模块间进行隔离并且在封装的时候提供附加引脚, 但这都增加了设计复杂度. 其次, 在深亚微米 CMOS 工艺中, 精确的衬底噪声行为是很难捕捉的. 额外的管脚潜在地耦合更多的外部噪声和热扰动从而恶化器件性能. 最重要的是, 完全有可能使用两个并联的, 工作在不同的区域晶体管而产生幅值相近, 符号相反的  $g_{m3}$  来取得类似的效果<sup>[19]</sup>. 另

外, 正如文献[21,22]所示, 输出导纳的非线性对深亚微米 CMOS 工艺的影响也是不能忽略的. 与式(4)不同, 我们将 MOS 管输出电流看成  $V_{GS}$  和  $V_{DS}$  的函数, 并用泰勒展开式展开, 如下所示

$$i_{ds}(v_{gs}, v_{ds}) = g_{m1}v_{gs} + g_{ds1}v_{ds} + g_{m2}v_{gs}^2 + g_{ds2}v_{ds}^2 + x_{11}v_{gs}v_{ds} + g_{m3}v_{gs}^3 + g_{ds3}v_{ds}^3 + x_{12}v_{gs}v_{ds}^2 + x_{21}v_{gs}^2v_{ds} + g_{ds3}v_{ds}^3 \quad (17)$$

其中

$$g_{mk} = \frac{1}{k!} \frac{\partial^k I_{DS}}{\partial V_{GS}^k}, g_{dkk} = \frac{1}{k!} \frac{\partial^k I_{DS}}{\partial V_{DS}^k}, x_{pq} = \frac{1}{p! q!} \frac{\partial^{p+q} I_{DS}}{\partial V_{GS}^p \partial V_{DS}^q} \quad (18)$$

注意到在式(13)不仅取决于栅源, 漏源电压, 还取决于他们的交叉项  $x_{ij}$ . 这些交叉项可以解释为跨导与漏源偏置的依赖关系. 导致这种依赖关系的其中一种主要原因是漏致势垒降低效应 (DIBL). 对于深亚微米 CMOS 工艺而言这些交叉项的影响是不能忽略的, 对于别的现代工艺而言也是如此<sup>[23]</sup>. 由此, 漏源电压同样也可以用栅源电压展开

$$v_{ds} = c_1 v_{gs} + c_2 v_{gs}^2 + c_3 v_{gs}^3 + \dots \quad (19)$$

可以算得三阶交调点如下所示

$$IIP3 = 20 \log \left( \sqrt{\left| \frac{4}{3} \frac{c_1}{c_3} \right|} \right) + 10 \text{dB} \quad (20)$$

将式(18~19)代入式(17)可以得到

$$\begin{cases} c_1 = -g_{m1} \cdot [Z_{load} || (1/g_{ds1})] \\ c_2 = (g_{m3} + g_{ds3}c_1^3 + 2g_{ds2}c_1c_2 + x_{11}c_2 + x_{12}c_1^2 + x_{21}c_1) \cdot [Z_{load} || (1/g_{ds1})] \end{cases} \quad (21)$$

其中  $z_{load}$  为跨导级的负载, 这里为开关对源端看进去的等效阻抗.  $c_1, c_2, g_{m2}, g_{m3}$  由图 5,6 给出. 由式(18), 可以看到  $x_{11}$  始终同号. 显然,  $c_2, g_{m3}$  与偏置有关 (可以由亚阈值区  $I-V$  指数特性模型以及饱和区沟道载流子退化模型得到), 因此可以将两个工作在不同区域 (亚阈值区和饱和区) 的 MOS 跨导级晶体管并联, 将这两项消除. 特别地, 当晶体管工作在饱和区时, 输出电导  $g_{ds1}$  受  $V_{GS}$  影响较小, 故  $x_{21} \approx 0$ . 另外, 由图 5 可以发现对无论工作在何种区域的晶体管而言, 只要  $V_{DS}$  选取得当, 均有可能实现工作在亚阈值区和饱和区时,  $g_{ds3} \rightarrow 0$ . 对于工作在亚阈值区域的晶体管, 该条件容易满足, 因为沟道还没形成. 对工作在饱和区的晶体管, 需要通过调整宽长比来实现. 另外, 由同样的方法可以得到当  $V_{GS} > 0.3 V$  时,  $g_{ds2} \approx 0$ , 并且对于小栅宽晶体管,  $c_1 \approx 0$ , 因为此时晶体管放大能力较弱. 将两个宽长比不同, 工作在不同的区域的 MOS 管并联后, 将可以实现上述优化, 所得的 IIP3 为

$$IIP3 \approx 20 \log \left( \sqrt{\left| \frac{4}{3} \frac{g_{m1}}{x_{12}c_1^2} \right|} \right) + 10 \text{dB} \quad (22)$$

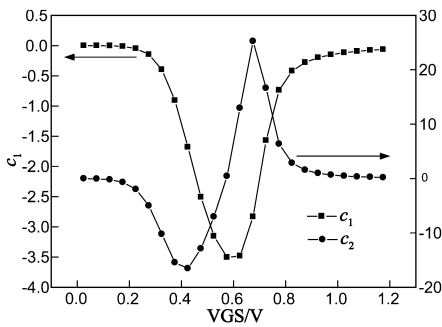


图5 共源级的线性增益系数 $c_1$ 及二阶非线性系数 $c_2$

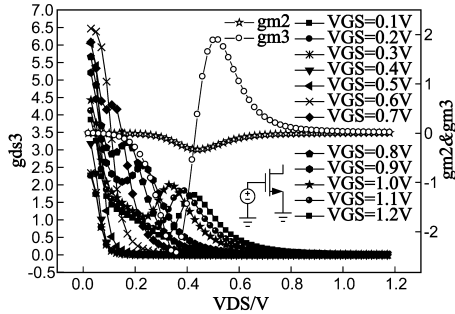


图6  $g_{ds3}$ 与 $V_{ds}$ 、 $V_{DS}$ 的关系, 以及 $g_{m2}$ 、 $g_{m3}$ 与 $V_{GS}$ 的关系

其中  $g_{m1}$ ,  $x_{21}$ ,  $c_1$  均为主跨导级  $M_{1,2}$  的参数。由图 4, 可以看到工作在饱和区的晶体管为了尽可能提供放大能力,  $c_1$  取最大值。因此只能通过尽可能减小  $x_{12}$  来优化  $IIP3$ , 而  $x_{12}$  描述  $g_{ds2}$  随  $V_{GS}$  的变化能力。由图 7 可以看出, 当  $V_{DS}$  落在式 (11) 给出的范围时,  $g_{ds2}$  可以得到优化, 但同时要保证  $V_{DS}$  的选取满足  $g_{ds3} \rightarrow 0$ , 本设计选取 523mV。

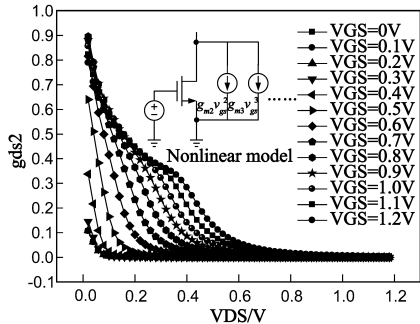


图7  $g_{ds2}$ 与 $V_{GS}$ 、 $V_{DS}$ 的关系

图 8 给出了线性优化的结果。显然  $M_{3,4}$  的栅电压  $V_c$  应该偏置在 0.5V 左右。共模节点的对地直流压降初始设定为 200mV, 这是为了让尾电流源线性地工作。因此可以看出  $M_{3,4}$  的确工作在亚阈值区域了。然而同样注意到随着  $V_c$  的增大变频增益也在跟着单调增长, 这是因为  $M_{3,4}$  更加线性地工作, 等同于增大  $M_{1,2}$  的栅宽, 于是提升了增益, 但前方所进行的线性化工作就不再满足。

需要注意的是, 由于 LC-VCO 具有较大的输出幅

值, 必须保证跨导级漏端有足够高的直流电压 ( $> 0.6V$ ), 否则有可能导致漏端寄生 PN 结正偏, 进而导致线性度的折损。事实上, 对于功放和开关而言, 前方所提供的体端接负电位的方法较本文所提供的方法而言可靠性较好, 因为该方法保证大信号输入时三阱工艺 MOS 管内几种主要的寄生 PN 结均反偏。另外, 辅助跨导级  $M_{3,4}$  的尺寸必须足够小以保证其线性增益  $c_1 \rightarrow 0$ , 因为对于小尺寸 MOS 管, 其  $c_2$  始终为同号的, 并存在极值。可以通过准确的器件  $I-V$  特性描述来计算这些参数, 也可以通过细致的仿真来获得线性化结果。最后, 输出端采用阻抗转换网络 (ITN), 抑制了带外信号。

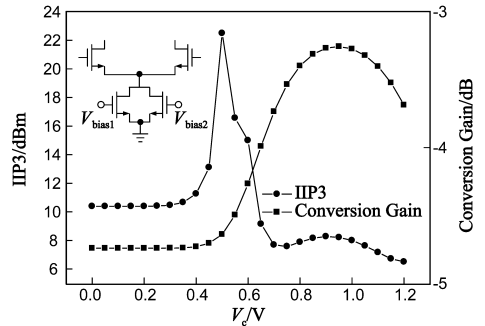


图8  $IIP3$ 和 $NF(DSB)$ 与 $M_{3,4}$ 的栅偏置电压的关系曲线

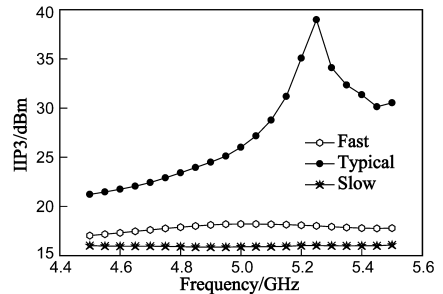


图9 该上变频器的 $IIP3$

### 3 仿真结果

后仿在 Cadence 设计软件的帮助下完成。片上无源器件参数的提取在 Agilent MOMENTUM 中完成。所有的电感均为对称螺旋形结构, 并且  $L_{D1,2}$  和  $L_{S1,2}$  的中心抽头连接到地从而减少因衬底耦合而带来的能量损失。 $L_{S1,2}$  的精确控制对整个优化过程至关重要, 采用高阻性衬底来获得尽可能高的  $Q$  值, 这可以通过形成二氧化硅衬底来获得。对于  $L_{D1,2}$ , 在硅基衬底螺旋形电感底部加装图案化隔离层来屏蔽电场。这种方法导致了增大的寄生电容和恶化的自谐振频率, 但对于 5GHz 载波通信这不算个大问题。开关对的栅由许多叉指分割, 进而优化了高频段晶体管的栅寄生电阻。从这个角度看应当使用尽可能多的叉指, 但也不该任意地多, 因为这会影响晶体管导通电阻和流过开关管的电流密度。必须谨慎地选择晶体管  $M_1 - M_4$  的尺寸。通过调整它们的偏

置条件, 宽长比以及叉指的数量, 进而满足 current bleeding 和线性化条件. 该芯片的 LC-VCO 拥有电源电压的输出峰峰值, 并且由差分反相器所缓冲, 进而获得了近似于方波的波形和适当的隔离. 双音测试的偏移频率为 100kHz. 输入阻抗变换由  $L_{g1,2}$  完成. 后仿进行了 PVT 特性分析, 即最差 (125C), 一般 (25C), 最好 (-40C) 情况分析, 电源电压偏移为  $\pm 10\%$ . 由图 9 可以得到, 温度变化及电源波动对线性度影响较大. 最大 IIP3 为 39.8dBm, 而最差值为 15.86dBm. 因此需要在片内集成高温稳定基准电压源. 当电源电压稳定在 1.2V 时, 仅仅考虑温度特性所得最差的 IIP3 为 19.8dBm, 变化不到 10%. PVT 特性对变频损失和双边带噪声指数影响较小. 由图 10, 最小变频损失为 3.74dB, 最大为 5.38dB. 双边带噪声指数在 7.72dB - 8.26dB 之间变化. 以上结果符合设计要求.

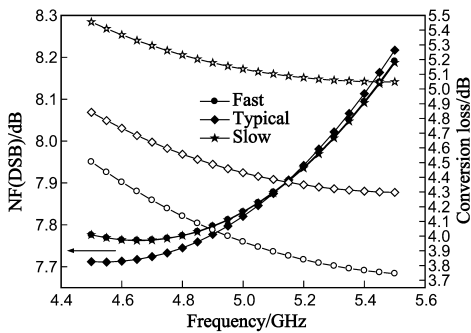


图10 上变频器的双边带噪声指数和变频损失

图 11 显示在 5GHz 附近的差分输出阻抗经过平衡-非平衡转换后(用于仿真)并没有准确匹配到 50Ω. 但只要后级的功率放大器输入端精确匹配到该值上(为了模块间最大功率传输), 该结果不会导致太大问题. 事实上在全集成环境中并没有必要刻意使得所有模块之间精确匹配, 因为接收信号的波长与互联线尺寸相比相对较长. 反之, 各模块可以根据需求指定负载进行优化, 这也是全集成设计的一大亮点.

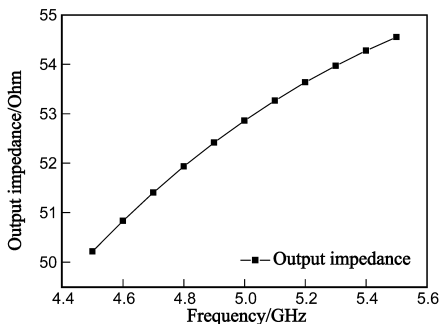


图11 该上变频器的输出阻抗

## 4 结论

本文介绍了一款基于 SoC 的用于侦测生理信号的

新型全集成线性化低噪声上变频器. 本设计在深亚微米 CMOS 工艺条件下, 通过线性化技术, 使得该设计呈现出一些优势. 首先, 采用 current bleeding 技术来独立调节跨导级和开关对的电流密度. 其次, current bleeding 技术还可以通过电容交流耦合来实现增益的提升和失真的抑制. 文中还讨论了单个 MOS 晶体管线性化技术, 包括源极感性退化, 优化的栅源电容, 以及合适的漏源电压. 为了同时优化噪声, 所增设的栅源电容存在最优值. 另一方面, 应用  $g_m$ -boosted 技术. 通过调节两个跨导晶体管的偏置电压使得他们工作在不同的工作区, 并且合理选择它们的尺寸, 从而能够抵消三阶跨导分量, 进而显著提高线性度.

## 参考文献

- [1] Jan Crols, and Michel S J Steyaert. A 1.5 GHz highly linear CMOS downconversion mixer[J]. IEEE Journal of Solid-State Circuits, 1995, 30(7): 736 - 742.
- [2] Stephan C Blaakmeer, Eric A M Klumperink, Domine M W Leenaerts, Bram Nauta. A wideband noise-canceling CMOS LNA exploiting a transformer[A]. Radio Frequency Integrated Circuits Symposium[C]. IEEE, 2006. 137 - 140.
- [3] Mehdi Khanpour, Keith W Tang, Patrice Garcia, Sorin P Voinescu. A wideband w-band receiver front-end in 65-nm CMOS[J]. IEEE Journal of Solid-State Circuits, 2008, 43(8): 1717 - 1730.
- [4] C Li, Y Xiao, and J Lin. Experiment and spectral analysis of a low-power Ka-band heartbeat detector measuring from four sides of a human body[J]. IEEE Trans Microwave Theory and Techniques, 2006, 54(12): 4464 - 4471.
- [5] C Li, and J Lin. Optimal carrier frequency of non-contact vital sign detectors[A]. Proceedings of IEEE Radio and Wireless Symposium[C]. Long Beach, 2007. 281 - 284.
- [6] K M Chen, Y Huang, J Zhang, A Norman. Microwave life-detection systems for searching human subjects under earthquake rubble and behind barrier[J]. IEEE Trans Biomed Eng, 2000, 47(1): 105 - 114.
- [7] Y Xiao, J Lin, O Boric-Lubecke, V M Lubecke. Frequency tuning technique for remote detection of heartbeat and respiration using low-power double-sideband transmission in Ka-band[J]. IEEE Trans Microwave Theory and Techniques, 2006, 54(5): 2023 - 2032.
- [8] Changzhi Li, Yanming Xiao, Jenshan Lin. Design guidelines for radio frequency non-contact vital sign detection[A]. Proceedings of the 29th Annual International Conference of the IEEE EMBS Cité Internationale[C]. Lyon, France, 2007. 1651 - 1654.
- [9] Himanshu Khatri, Prasad S Gudem, Lawrence E Larson. Distortion in current commutating passive CMOS downconversion

- mixers[J]. IEEE Transactions on Microwave Theory and Techniques, 2009, 57(11): 2671 – 2681.
- [10] Thomas H Lee. The Design of CMOS Radio Frequency Integrated Circuits[M]. Cambridge University Press, 2001.
- [11] Yongwang Ding, Ramesh Harjani. A high-efficiency CMOS + 22dBm linear power amplifier[J]. IEEE Journal of Solid-State Circuits, September 2005, 40(9): 1895 – 1900.
- [12] Meng-Ping Chen, Chun-Hsing Shih, Wei Chang, Chenhsin Lien. A 2.5 GHz CMOS power amplifier for WiMAX application[A]. 2010 International Conference on Green Circuits and Systems(ICGCS)[C]. IEEE, 2010.
- [13] Shaikh K Alam, Joanne DeGroat. A 1.5-V 2.4 GHz differential CMOS low noise amplifier for bluetooth and wireless LAN applications[A]. 2006 IEEE North-East Workshop on Circuits and Systems[C]. IEEE, 2006. 13 – 16.
- [14] Kihwa Choi, Dong Hun Shin, and C. Patrick Yue. A 1.2-V, 5.8-mW, Ultra-Wideband Folded Mixer in 0.13 $\mu$ m CMOS [A]. 2007 IEEE Radio Frequency Integrated Circuits Symposium[C]. IEEE, 2007. 489 – 492.
- [15] Sining Zhou, Mau-Chung Frank Chang. A CMOS passive mixer with low flicker noise for low-power direct-conversion receiver[J]. IEEE Journal of Solid-State Circuits, 2005, 40(5): 1084 – 1093.
- [16] Michiel C M Soer, Eric A M Klumperink, Pieter-Tjerk de Boer, Frank E. van Vliet, Bram Nauta. Unified frequency-domain analysis of switched-series-RC passive mixers and samplers[J]. IEEE Transactions on Circuits and Systems—I: Regular Papers, 2010, 57(10): 2618 – 2631.
- [17] Marko Kremer, Georg Boeck. A broadband folded Gilbert cell CMOS mixer[J]. Analog Integr Circ Sig Process, 2010, 64: 39 – 44.
- [18] Manolis T Terrovitis, Robert G Meyer. Intermodulation distortion in current-commutating CMOS mixers[J]. IEEE Journal of Solid-State Circuits, 2000, 35(10): 1461 – 1473.
- [19] Kung-Hao Liang, Chi-Hsein Lin, Hong-Yeh Chang, Yi-Jen Chan. A new linearization technique for CMOS RF mixer using third-order transconductance cancellation[J]. IEEE Microwave and Wireless Components Letters, 2008, 18(5): 350 – 352.
- [20] Piet Wambach and Willy Sansen. Distortion Analysis of Analog Integrated Circuits[M]. The Springer International Series in Engineering and Computer Science, 1998.
- [21] S Kang, B Choi, B Kim. Linearity analysis of CMOS for RF application[J]. IEEE Trans Microw Theory Tech, 2003, 51(3): 972 – 977.
- [22] B Toole, C Plett, M Cloutier. RF circuit implications of moderate inversion enhanced linear region in MOSFETs[J]. IEEE Trans Circuits Syst I, Reg Papers, 2004, 51(2): 319 – 328.
- [23] J C Pedro, J Perez. Accurate simulation of GaAs MESFET's intermodulation distortion using a new drain-source current model[J]. IEEE Trans Microw Theory Tech, 1994, 42(1): 25 – 33.

#### 作者简介

梁元 1989 年出生. 2012 年毕业于西安电子科技大学微电子学院. 目前研究方向为单片 MMIC 设计.

E-mail: microyuan@126.com

张弘(通信作者) 1972 年出生, 博士, 西安电子科技大学微电子学院宽禁带半导体材料与器件教育部重点实验室副教授. 研究方向包括: VLSI 新器件, 结构设计与测试方法的研究, 微波功率器件机理及制造研究.

E-mail: zhangh@xidian.edu.cn